

10/549447

1/3/3 (Item 3 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

012444859 **Image available**
WPI Acc No: 1999-250967/ 199921
Related WPI Acc No: 2003-674801
XRAM Acc No: C99-073639
XRPX Acc No: N99-187577

JC05 Rec'd PCT/PTO 14 SEP 2005

**Gallium nitride group compound semiconductor light emitting diode
manufacture - involves forming multilayered body constituting isolated
semiconductor layers, on surface of substrate**
Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU); MATSUSHITA ELECTRIC
IND CO LTD (MATU)
Inventor: BAN Y; HARA Y; HASEGAWA Y; ISHIBASHI A; KIDOGUCHI I; KUME M;
TSUJIMURA A; UEMURA N
Number of Countries: 003 Number of Patents: 004
Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 11074563 | A | 19990316 | JP 98163806 | A | 19980611 | 199921 B |
| US 6030849 | A | 20000229 | US 9894616 | A | 19980615 | 200018 |
| TW 427039 | A | 20010321 | TW 98109208 | A | 19980610 | 200151 |
| JP 3681540 | B2 | 20050810 | JP 98163806 | A | 19980611 | 200554 |

Priority Applications (No Type Date): JP 97158365 A 19970616

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|-------------|------|-----|----|-------------|-----------------------------------|
| JP 11074563 | A | 16 | | H01L-033/00 | |
| US 6030849 | A | | | H01L-021/20 | |
| TW 427039 | A | | | H01L-033/00 | |
| JP 3681540 | B2 | 21 | | H01L-033/00 | Previous Publ. patent JP 11074563 |

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074563

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H01L 33/00
H01L 21/205
H01S 3/18

(21)Application number : 10-163806

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.06.1998

(72)Inventor : HASEGAWA YOSHITERU
ISHIBASHI AKIHIKO
KAMIMURA NOBUYUKI
BAN YUZABURO
KUME MASAHIRO
HARA YOSHIHIRO
KIDOGUCHI ISAO
TSUJIMURA AYUMI

(30)Priority

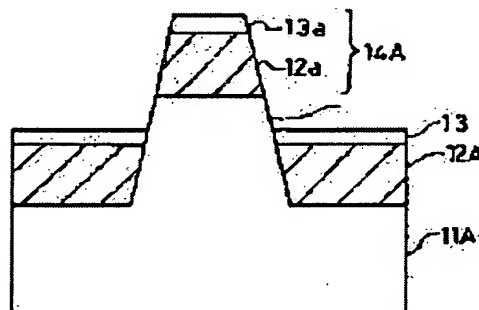
Priority number : 09158365 Priority date : 16.06.1997 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR, SEMICONDUCTOR DEVICE AND SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an InGaN crystal having excellent crystallinity even when the composition of In is increased, by forming an island-shaped laminated body composed of a first semiconductor layer and a second semiconductor layer on the top face of the protruding part of a substrate.

SOLUTION: A second semiconductor layer 13 composed of InGaN having a lattice constant different from that of a first semiconductor layer 12A is selectively grown on a plane parallel to the substrate plane in a region excluding the top face of a protruding part 11a and the protruding part 11a, as it is not easily grown on the side planes of the protruding part 11a of the substrate 11A, unlike the normal growing method wherein the layer is uniformly grown on the flat substrate plane. As a result, an isolated second semiconductor layer 13a composed of desired InGaN grows in a minute region having a width of approximately 10 μ m, stress during the growth is operated to the isolated second semiconductor layer 13a only in a uniaxial direction, distortion due to a difference between the thermal expansion coefficients of the substrate 11A and InGaN can be reduced, resulting in improving the crystallinity of the InGaN included in a laminated body 14A.



LEGAL STATUS

[Date of request for examination] 23.05.2000
[Date of sending the examiner's decision of rejection] 07.01.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection] 2003-01829
[Date of requesting appeal against examiner's decision of rejection] 06.02.2003
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74563

(43) 公開日 平成11年(1999) 3月16日

(51) Int. Cl. ⁶
H01L 33/00
21/205
H01S 3/18

識別記号

F I
H01L 33/00 C
21/205
H01S 3/18

審査請求 未請求 請求項の数19 O L (全16頁)

(21) 出願番号 特願平10-163806

(22) 出願日 平成10年(1998) 6月11日

(31) 優先権主張番号 特願平9-158365

(32) 優先日 平 9 (1997) 6月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 長谷川 義晃

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 石橋 明彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 上村 信行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外 2 名)

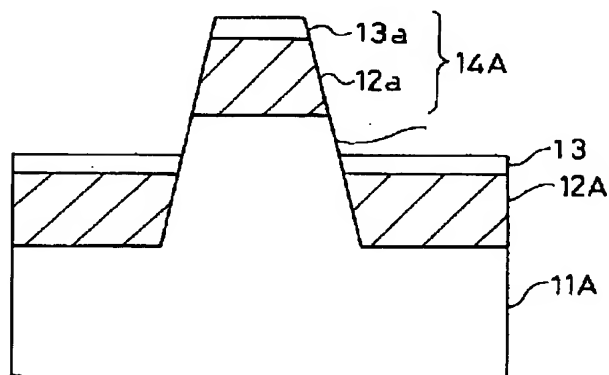
最終頁に続く

(54) 【発明の名称】 半導体の製造方法、半導体装置の製造方法及び半導体基板の製造方法

(57) 【要約】

【課題】 In の組成を大きくしても結晶性に優れた InGa_xN 結晶を得られるようにする。

【解決手段】 MOVPE法を用いて上面に側面方向の幅が10μm程度の凸部11aを有するサファイアよりなる基板11Aの上面に全面にわたって、Al_xGa_{1-x}Nよりなる第1の半導体層12Aと、In_xGa_{1-x}Nよりなる第2の半導体層13とを順次成長させる。これにより、基板11Aの凸部11aの頂面の上に、孤立した第1の半導体層12a及び孤立した第2の半導体層13aよりなる島状の積層体14Aが形成される。



【特許請求の範囲】

【請求項1】 上面に凸部を有する基板の上に全面にわたって、III族窒化物よりなる第1の半導体層を成長させる工程と、

前記第1の半導体層の上に全面にわたって $In_xGa_{1-x}N$ (但し、 x は $0 \leq x \leq 1$ とする。)よりなる第2の半導体層を成長させることにより、前記基板の前記凸部の頂面の上に前記第1の半導体層及び第2の半導体層よりなる島状の積層体を形成する工程とを備えていることを特徴とする半導体の製造方法。

【請求項2】 基板上に、上面に凸部を有するIII族窒化物よりなる第1の半導体層を形成する工程と、

前記第1の半導体層の上に全面にわたって $In_xGa_{1-x}N$ (但し、 x は $0 \leq x \leq 1$ とする。)よりなる第2の半導体層を成長させることにより、前記第1の半導体層の前記凸部の頂面の上に前記第1の半導体層及び第2の半導体層よりなる島状の積層体を形成する工程とを備えていることを特徴とする半導体の製造方法。

【請求項3】 基板上に開口部を有する選択成長用のマスクパターンを形成する工程と、

前記基板の上における前記マスクパターンの前記開口部にIII族窒化物よりなる第1の半導体層を成長させる工程と、

前記第1の半導体層の上に $In_xGa_{1-x}N$ (但し、 x は $0 \leq x \leq 1$ とする。)よりなる第2の半導体層を成長させることにより、前記基板の上における前記マスクパターンの前記開口部に前記第1の半導体層及び第2の半導体層よりなる積層体を選択的に形成する工程とを備えていることを特徴とする半導体の製造方法。

【請求項4】 前記マスクパターンは、酸化シリコン又は窒化シリコンよりなることを特徴とする請求項3に記載の半導体の製造方法。

【請求項5】 前記積層体の基板面に垂直な方向の断面形状は、方形又は台形状であることを特徴とする請求項1～3に記載の半導体の製造方法。

【請求項6】 上面に凸部を有する基板の上に全面にわたって、p型ドーパントを供給しながらIII族窒化物を成長させることにより、前記基板の前記凸部の頂面の上に前記III族窒化物よりなる島状のp型半導体層を成長させる工程を備えていることを特徴とする半導体の製造方法。

【請求項7】 基板上に、上面に凸部を有するIII族窒化物よりなる半導体層を形成する工程と、
前記半導体層の上に全面にわたって、p型ドーパントを供給しながらIII族窒化物を成長させることにより、前記半導体層の前記凸部の頂面の上に前記III族窒化物よりなる島状のp型半導体層を成長させる工程とを備えていることを特徴とする半導体の製造方法。

【請求項8】 基板上に開口部を有する選択成長用のマスクパターンを形成する工程と、

前記基板の上における前記マスクパターンの前記開口部に、p型ドーパントを供給しながらIII族窒化物を選択的に成長させることにより、前記基板の上における前記マスクパターンの前記開口部に前記III族窒化物よりなるp型半導体層を選択的に成長させる工程とを備えていることを特徴とする半導体の製造方法。

【請求項9】 前記マスクパターンは、酸化シリコン又は窒化シリコンよりなることを特徴とする請求項8に記載の半導体の製造方法。

10 【請求項10】 前記p型半導体層の基板面に垂直な方向の断面形状は、方形又は台形状であることを特徴とする請求項6～8に記載の半導体の製造方法。

【請求項11】 上面に凸部を有する基板における前記凸部の頂面の上に第1導電型クラッド層を成長させる工程と、

前記第1導電型クラッド層の上に $In_xGa_{1-x}N$ (但し、 x は $0 \leq x \leq 1$ とする。)よりなる活性層を成長させる工程と、

20 前記活性層の上に第2導電型クラッド層を成長させる工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項12】 前記第2導電型はp型であり、前記第2導電型クラッド層の上に、p型ドーパントを供給しながらIII族窒化物を成長させることにより、前記III族窒化物よりなるp型コンタクト層を形成する工程をさらに備えていることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 基板上に、上面に凸部を有するIII族窒化物よりなる半導体層を形成する工程と、

30 前記半導体層の前記凸部の頂面の上に第1導電型クラッド層を成長させる工程と、

前記第1導電型クラッド層の上に $In_xGa_{1-x}N$ (但し、 x は $0 \leq x \leq 1$ とする。)よりなる活性層を成長させる工程と、

前記活性層の上に第2導電型クラッド層を成長させる工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項14】 前記第2導電型はp型であり、前記第2導電型クラッド層の上に、p型ドーパントを供給しながらIII族窒化物を成長させることにより、前記III族窒化物よりなるp型コンタクト層を形成する工程をさらに備えていることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 基板上に第1導電型コンタクト層を成長させる工程と、
前記第1導電型コンタクト層の上に開口部を有する選択成長用のマスクパターンを形成する工程と、
前記第1導電型コンタクト層の上における前記マスクパターンの開口部に第1導電型クラッド層を選択的に成長させる工程と、

て、いかに結晶の高品質化を図るかが発光素子を実現する上で最重要の課題となっている。

【0003】以下、従来のInGaNよりなる半導体の成長方法について説明する。

【０００４】従来のＩｎＧａＮよりなる半導体の成長方法は、例えば、特開平６－２０９１２２号公報に開示されている。この公報には、高品質で且つ結晶性に優れたＩｎＧａＮを再現性良く得るためには、成長温度と成長速度とを共に制御することが重要であり、また、原料ガスのキャリアガスに窒素を用いることが好ましいことが示されている。

【0005】また、InGaN結晶中のInの組成制御に関する第1の論文に、「Applied Physics Letters, Vol. 68 (1996) p. 3147-3149」がある。この論文によると、InGaNのうちのInの組成を高めるには、成長温度を下げることと成長速度を速くすることが有効であることが示されている。

【0006】さらに、InGa_Nよりなる活性層を有し、Inの組成が互いに異なる複数のGa_{1-x}N系発光素子について比較検討した第2の論文として「Japanese Journal of Applied Physics, Vol. 34 (1995) pp. L797-L799」がある。この論文によると、In_xGa_{1-x}N（但し、xは0<x<1とする。）よりなる活性層のInの組成比xを徐々に増加させ、例えば、Inの組成比xが0.2の場合の青色の発光素子と、Inの組成比xが0.7の場合の黄色の発光素子とでは、黄色の発光素子が青色の発光素子に比べて発光効率、色純度及び輝度がそれぞれ低下する。

【0007】これは、以下の理由で説明されている。すなわち、活性層のInの組成が大きくなるにつれて、活性層に近接する、例えばAlGaInよりなるバリア層との格子定数の差及び熱膨張係数の差が大きくなるため、活性層に過大な歪みが発生するようになる。その結果、この歪みが臨界値以上になると活性層にミスフィット転位等の欠陥が導入されて歪みが緩和されるので、発光素子の輝度が低下する。

【0008】

【発明が解決しようとする課題】 このように、前記の公報及び第1の論文には、 InGaN よりなる半導体の In の組成の制御方法については記載されているものの、黄色光や橙色光の発光素子のように In の組成が大きい場合の InGaN 結晶の高品質化については開示されておらず、 In の組成が大きい場合に、欠陥が少ない高品質な InGaN 結晶を得られないという第1の問題がある。なお、前記の第2の論文の見解によると、成長温度及び成長速度の制御を行なうだけでは、 In の組成が大きく且つ結晶性に優れた InGaN 結晶を得ることは困難であると考えられる。

40

50

【従来の技術】近年、フルカラーディスプレイ用の光源として青色から赤色までの可視光を発する発光ダイオード素子に対する要望が高まり、特に、紫外光から橙色光までの波長領域で動作可能な窒化ガリウム (GaN) 系の III-V 族化合物半導体発光素子の研究開発が盛んに行われている。この発光素子においては、活性層がインジウムガリウム窒素 (InGaN) により構成されるのが一般的であり、この InGaN 層の欠陥を少なくし

【0009】また、Ga_{1-x}N系半導体をp型にドーピングする場合に、例えば、p型コンタクト層のように低抵抗化が必要とされる場合に、p型ドーパントとして用いるマグネシウム(Mg)を半導体成長時に過剰に供給すると、逆に、p型コンタクト層が高抵抗化又はn型化するという第2の問題がある。

【0010】また、Ga_{1-x}N系半導体には、Ga_{1-x}Nよりなる基板が存在しないため、基板にサファイア(Al₂O₃)を用いることが多い。サファイアは絶縁性であって、導電性を有する基板の場合には、例えば、光発光素子を形成する際に、素子形成面に一方の電極を形成し該素子形成面の反対側の面に他方の電極を容易に形成できるが、サファイアの場合は、素子形成面に一方の電極を形成し、且つ、該素子形成面の一部を除去して他方の電極を形成する必要がある、製造プロセスが複雑になるという第3の問題がある。

【0011】本発明は、Inの組成を大きくしても結晶性に優れたInGa_{1-x}N結晶を得られるようにすることを第1の目的とし、Ga_{1-x}N系半導体をp型化する際にp型ドーパントの制御を確実にこなえるようにすることを第2の目的とし、Ga_{1-x}N系半導体を用いた半導体装置の電極を容易に形成できるようにすることを第3の目的とする。

【0012】

【課題を解決するための手段】本発明に係る第1の半導体の製造方法は、前記第1の目的を達成し、上面に凸部を有する基板の上に全面にわたって、III族窒化物よりなる第1の半導体層を成長させる工程と、第1の半導体層の上に全面にわたってIn_xGa_{1-x}N(但し、xは0 ≤ x ≤ 1とする。以下、同様とする。)よりなる第2の半導体層を成長させることにより、基板の凸部の頂面の上に第1の半導体層及び第2の半導体層よりなる島状の積層体を形成する工程とを備えている。

【0013】第1の半導体の製造方法によると、InGa_{1-x}Nよりなる第2の半導体層を基板の上面に設けられた凸部の頂面上に成長させるため、該凸部の側面方向の寸法を50 μmよりも小さくすると、頂面上に成長する、該頂面とほぼ同形状の底面を有する島状の第2の半導体層には、該第2の半導体層にIn原子が取り込まれることに起因する応力、例えば、格子定数及び熱膨張係数の差に起因する応力が一軸方向にのみ作用するようになる。また、基板上に供給されるIn原子のうち凸部の側面に成長しないIn原子が凸部の頂面上に拡散してくるため、該頂面上に成長する第2の半導体層のInの組成が大きくなる。

【0014】本発明に係る第2の半導体の製造方法は、前記第1の目的を達成し、基板上に、上面に凸部を有するIII族窒化物よりなる第1の半導体層を形成する工程と、第1の半導体層の上に全面にわたってIn_xGa_{1-x}Nよりなる第2の半導体層を成長させることによ

り、第1の半導体層の凸部の頂面の上に第1の半導体層及び第2の半導体層よりなる島状の積層体を形成する工程とを備えている。

【0015】第2の半導体の製造方法によると、InGa_{1-x}Nよりなる第2の半導体層を、第1の半導体層の上面に設けられた凸部の頂面上に成長させるため、該凸部の側面方向の寸法を50 μmよりも小さくすると、頂面上に成長する、該頂面とほぼ同形状の底面を有する島状の第2の半導体層には、該第2の半導体層にIn原子が取り込まれることに起因する応力が一軸方向にのみ作用するようになる。また、基板上に供給されるIn原子のうち凸部の側面に成長しないIn原子が凸部の頂面上に拡散してくるため、該頂面上に成長する第2の半導体層のInの組成が大きくなる。

【0016】本発明に係る第3の半導体の製造方法は、前記第1の目的を達成し、基板上に開口部を有する選択成長用のマスクパターンを形成する工程と、基板の上におけるマスクパターンの開口部にIII族窒化物よりなる第1の半導体層を成長させる工程と、第1の半導体層の上にIn_xGa_{1-x}Nよりなる第2の半導体層を成長させることにより、基板の上におけるマスクパターンの開口部に第1の半導体層及び第2の半導体層よりなる積層体を選択的に形成する工程とを備えている。

【0017】第3の半導体の製造方法によると、III族窒化物よりなる第1の半導体層をマスクパターンの開口部に選択的に成長させることにより、基板上に第1の半導体層を凸形状に形成する。その後、InGa_{1-x}Nよりなる第2の半導体層を凸形状の第1の半導体層の頂面上に選択的に成長させるため、マスクパターンの開口幅を50 μmよりも小さくすると、第1の半導体層の頂面上に成長する第2の半導体層には、該第2の半導体層にIn原子が取り込まれることに起因する応力が一軸方向にのみ作用するようになる。また、基板上に供給されるIn原子のうち凸形状の第1の半導体層の側面に成長しないIn原子が凸形状の第1の半導体層の頂面上に拡散してくるため、該頂面上に成長する第2の半導体層のInの組成が大きくなる。

【0018】第3の半導体の製造方法において、マスクパターンが酸化シリコン又は窒化シリコンよりなることが好ましい。

【0019】第1～第3の半導体の製造方法において、積層体の基板面に垂直な方向の断面形状が方形又は台形状であることが好ましい。

【0020】本発明に係る第4の半導体の製造方法は、前記第2の目的を達成し、上面に凸部を有する基板の上に全面にわたって、p型ドーパントを供給しながらIII族窒化物を成長させることにより、基板の凸部の頂面の上にIII族窒化物よりなる島状のp型半導体層を成長させる工程を備えている。

【0021】第4の半導体の製造方法によると、III族

10

20

30

40

50

窒化物を基板の上面に設けられた凸部の頂面上に成長させるため、該凸部の側面方向の寸法を $50\mu\text{m}$ よりも小さくすると、基板上に供給される p 型ドーパントのうち、凸部の側面に取り込まれない p 型ドーパントが凸部の頂面上に拡散してくるため、該頂面上に島状に成長する p 型半導体層の p 型ドーパントの濃度が大きくなる。

【0022】本発明に係る第5の半導体の製造方法は、前記第2の目的を達成し、基板上に、上面に凸部を有するIII族窒化物よりなる半導体層を形成する工程と、半導体層の上に全面にわたって、p型ドーパントを供給しながらIII族窒化物を成長させることにより、半導体層の凸部の頂面上にIII族窒化物よりなる島状のp型半導体層を成長させる工程とを備えている。

【0023】第5の半導体の製造方法によると、III族窒化物を第1の半導体層の上面に設けられた凸部の頂面上に選択的に成長させるため、該凸部の側面方向の寸法を $50\mu\text{m}$ よりも小さくすると、基板上に供給されるp型ドーパントのうち、凸部の側面に取り込まれないp型ドーパントが凸部の頂面上に拡散してくるため、該頂面上に島状に成長するp型半導体層のp型ドーパントの濃度が大きくなる。

【0024】本発明に係る第6の半導体の製造方法は、前記第2の目的を達成し、基板上に開口部を有する選択成長用のマスクパターンを形成する工程と、基板の上におけるマスクパターンの開口部に、p型ドーパントを供給しながらIII族窒化物を選択的に成長させることにより、基板の上におけるマスクパターンの開口部の上にII族窒化物よりなるp型半導体層を選択的に成長させる工程とを備えている。

【0025】第6の半導体の製造方法によると、III族窒化物をマスクパターンの開口部に選択的に成長させることにより、基板上にp型半導体層を凸形状に形成する。ここで、マスクパターンの開口幅を $50\mu\text{m}$ よりも小さくすると、基板上に供給されるp型ドーパントのうち凸形状の第1の半導体層の側面に取り込まれないp型ドーパントが凸形状のp型半導体層の頂面に拡散してくるため、該頂面上に成長するp型半導体層のp型ドーパントの濃度が大きくなる。

【0026】第6の半導体の製造方法において、マスクパターンが酸化シリコン又は窒化シリコンよりなることが好ましい。

【0027】第4～第6の半導体の製造方法において、p型半導体層の基板面に垂直な方向の断面形状が方形又は台形状であることが好ましい。

【0028】本発明に係る第1の半導体装置の製造方法は、前記第1の目的を達成し、上面に凸部を有する基板における凸部の頂面上に第1導電型クラッド層を成長させる工程と、第1導電型クラッド層の上に $\text{In}_x\text{Ga}_{1-x}\text{N}$ よりなる活性層を成長させる工程と、活性層の上に第2導電型クラッド層を成長させる工程とを備えてい

る。

【0029】第1の半導体装置の製造方法によると、 InGaN よりなる活性層を本発明の第1の半導体の製造方法により形成するため、活性層の結晶品質を低下させることなく In の組成を大きくできる。さらに、基板上の凸部の頂面という限定された領域に活性層を形成するため、体積低減効果により動作電流を大幅に低減できる。

【0030】本発明に係る第2の半導体装置の製造方法は、基板上に、上面に凸部を有するIII族窒化物よりなる半導体層を形成する工程と、半導体層の凸部の頂面上に第1導電型クラッド層を成長させる工程と、第1導電型クラッド層の上に $\text{In}_x\text{Ga}_{1-x}\text{N}$ よりなる活性層を成長させる工程と、活性層の上に第2導電型クラッド層を成長させる工程とを備えている。

【0031】第2の半導体装置の製造方法によると、 InGaN よりなる活性層を本発明の第2の半導体の製造方法により形成するため、活性層の結晶品質を低下させることなく In の組成を大きくできる。さらに、基板上の凸部の頂面という限定された領域に活性層を形成するため、体積低減効果により動作電流を大幅に低減できる。

【0032】本発明に係る第3の半導体装置の製造方法は、前記第1及び第3の目的を達成し、基板上に第1導電型コンタクト層を成長させる工程と、第1導電型コンタクト層の上に開口部を有する選択成長用のマスクパターンを形成する工程と、第1導電型コンタクト層の上におけるマスクパターンの開口部に第1導電型クラッド層を選択的に成長させる工程と、第1導電型クラッド層の上に $\text{In}_x\text{Ga}_{1-x}\text{N}$ よりなる活性層を選択的に成長させる工程と、活性層の上に第2導電型クラッド層を選択的に成長させる工程とを備えている。

【0033】第3の半導体装置の製造方法によると、 InGaN よりなる活性層を本発明の第3の半導体の製造方法により形成するため、活性層の結晶品質を低下させることなく In の組成を大きくできる。さらに、基板上の凸部の頂面という限定された領域に活性層を形成するため、体積低減効果により動作電流を大幅に低減できる。

【0034】第3の半導体装置の製造方法は、マスクパターンをウェットエッチングにより除去することにより、第1導電型コンタクト層を露出させる工程をさらに備えていることが好ましい。このようにすると、導電性を持たない基板であっても、マスクパターンにシリコン酸化膜等の GaN 系半導体が成長しない材料を用いれば、第1導電型コンタクトの電極を容易に形成できる。

【0035】第1～第3の半導体装置の製造方法は、第2導電型がp型であり、第2導電型クラッド層の上に、p型ドーパントを供給しながらIII族窒化物を成長させることにより、III族窒化物よりなるp型コンタクト層

を形成する工程をさらに備えていることが好ましい。このようにすると、前記第 2 の目的が達成され、p 型コンタクト層を確実に低抵抗化できる。

【0036】本発明に係る第 1 の半導体基板の製造方法は、第 1 の基板上に開口部を有する選択成長用のマスクパターンを形成する工程と、ガリウムと窒素を含む半導体層を第 1 の基板におけるマスクパターンの開口部及び該開口部の周縁部に広がるように成長させることにより、第 1 の基板上に半導体層よりなる第 2 の基板を形成する工程とを備えている。

【0037】第 1 の半導体基板の製造方法によると、マスクパターンの開口部の周縁部上に成長する半導体層は、該開口部上に成長する半導体層に比べて、基板側から該基板面に垂直に延びる転位等の影響をほとんど受けないため、極めて結晶の品質が高くなる。従って、マスクパターン及び第 1 の基板を除去することにより、極めて高品質な GaN 系の半導体基板を実現できる。

【0038】本発明に係る第 2 の半導体基板の製造方法は、第 1 の基板上に全面にわたってガリウムと窒素を含む第 1 の半導体層を成長させる工程と、第 1 の半導体層の上に開口部を有する選択成長用のマスクパターンを形成する工程と、ガリウムと窒素を含む第 2 の半導体層を第 1 の半導体層におけるマスクパターンの開口部及び該開口部の周縁部に広がるように成長させることにより、第 1 の基板上に第 2 の半導体層よりなる第 2 の基板を形成する工程とを備えている。

【0039】第 2 の半導体基板の製造方法によると、第 1 の基板上に GaN 系よりなる第 1 の半導体層を成長させた後、該第 1 の半導体層の上に選択成長用のマスクパターンを形成しているため、本発明の第 1 の半導体基板の製造方法に比べて、GaN 系の半導体層よりなる第 2 の基板の品質が一層向上する。

【0040】

【発明の実施の形態】

(第 1 の実施形態) 第 3 の論文「Thin Solid Films, Vol. 231 (1993) pp. 8-42」には、長波長の発光素子に用いられるインジウムガリウムヒ素 (InGaAs) 系の III-V 族化合物半導体において、GaAs よりなる基板上に InGaAs 結晶が成長可能な領域を限定し、限定した領域に InGaAs 結晶を選択的に成長させることにより、歪みを有する InGaAs 膜を、該 InGaAs 膜に転位が導入される臨界膜厚以上の膜厚にまで結晶性良く成長できることが開示されている。

【0041】本発明に係る第 1 の実施形態は、この点に鑑み、主に短波長の発光素子に用いられる GaN 系半導体結晶において、In を含むために GaN や AlGaIn 等の In を含まない半導体結晶と格子定数が大きく異なる InGaIn 結晶を基板から孤立するように選択的に成長さ

せることにより、該 InGaIn 結晶に導入される欠陥を抑制できるようにすることを目的とする。

【0042】以下、本発明の第 1 の実施形態について図面を参照しながら説明する。

【0043】図 1 は第 1 の実施形態に係る半導体の製造方法を用いて得られる半導体よりなる積層体の断面構成を示している。図 1 に示すように、積層体の製造方法は、例えば、有機金属気相成長 (MOVPE) 法を用いて、上面に側面方向の幅が $10\mu\text{m}$ 程度の凸部 11a を有するサファイア (Al_2O_3) よりなる基板 11A の上面に全面にわたって、III 族窒化物としての $\text{Al}_y\text{Ga}_{1-y}\text{N}$ (但し、 y は $0 \leq y \leq 1$ とする。以下、同様とする。) よりなる第 1 の半導体層 12A を成長させ、続いて、第 1 の半導体層 12A 上に $\text{In}_x\text{Ga}_{1-x}\text{N}$ よりなる第 2 の半導体層 13 を成長させる。これにより、基板 11A の凸部 11a の頂面上に孤立した第 1 の半導体層 12a 及び孤立した第 2 の半導体層 13a よりなる島状の積層体 14A が形成される。

【0044】本実施形態によると、第 1 の半導体層 12A と格子定数が異なる InGaIn よりなる第 2 の半導体層 13 が、通常の成長方法のように平坦な基板面に一様に成長するのではなく、基板 11A の凸部 11a の側面に成長しにくい分だけ、逆に該凸部 11a の頂面及び凸部 11a を除く領域の、基板面に平行な面に選択的に成長する。その結果、所望の InGaIn よりなる孤立した第 2 の半導体層 13a は、幅寸法が $10\mu\text{m}$ 程度の微小領域に成長するため、孤立した第 2 の半導体層 13a には成長時の応力が一軸方向にのみ作用するので、基板 11A と InGaIn との熱膨張係数の差に起因する歪みを低減することができ、その結果、積層体 14A に含まれる InGaIn の結晶性が向上する。

【0045】(第 1 の実施形態の一変形例) 図 2 は第 1 の実施形態の一変形例に係る半導体の製造方法を用いて得られる半導体よりなる積層体の断面構成を示している。図 2 に示すように、サファイアよりなる基板 11B の上に、上面に側面方向の幅が $10\mu\text{m}$ 程度の凸部 12b を有する $\text{Al}_y\text{Ga}_{1-y}\text{N}$ よりなる凸部形成層 12B を形成する。その後、MOVPE 法を用いて、凸部形成層 12B の上面に全面にわたって $\text{Al}_y\text{Ga}_{1-y}\text{N}$ よりなる第 1 の半導体層 12C と、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ よりなる第 2 の半導体層 13 とを順次成長させる。これにより、凸部形成層 12B の凸部 12b の頂面と該頂面上の孤立した第 1 の半導体層 12c と孤立した第 2 の半導体層 13b とよりなる島状の積層体 14B が形成される。

【0046】本変形例によると、第 2 の半導体層 13 は、結晶成長する際の InGaIn 結晶の成長速度の面方位依存性により、基板 11B 上に一様に成長するのではなく、成長速度が速い領域、すなわち、凸部形成層 12B の凸部 12b の頂面及び凸部形成層 12B 上の凸部 12b を除く領域の、基板面に平行な面に選択的に成長す

る。従って、第1の実施形態と同様に、孤立した第2の半導体層13bには成長時の応力が一軸方向にのみ作用するので、基板11BとInGa_Nとの熱膨張係数の差に起因する歪みを低減することができ、積層体14Bに含まれるInGa_Nの結晶性が向上する。

【0047】さらに、基板11Bと第1の半導体層12Cとの間にAlGa_Nよりなる凸部形成層12Bを設けているため、第1の半導体12Cは図1に示す第1の半導体層12Aよりも結晶性が向上するので、その結果、孤立した第2の半導体層13bの結晶性をより向上させることができる。

【0048】なお、第1の実施形態及びその変形例において、基板11Aの凸部11a及び凸部形成層12Bの凸部12bの側面方向の幅を共に約10μmとしたが、50μm程度以下であれば同様の効果を得られる。

【0049】また、各凸部11a、12bの基板面に垂直な方向の断面形状を、方形状又は台形状とすることが好ましい。このようにすると、第2の半導体層13の成長時にIn原子が凸部11a、12bの側面から該凸部11a、12bの頂面上に拡散しやすくなるため、孤立した第2の半導体層13a、13bのInの組成を大きくできる。

【0050】（第2の実施形態）以下、本発明の第2の実施形態について図面を参照しながら説明する。本実施形態においても、InGa_N結晶を選択的に成長させることにより、欠陥が少なInGa_N結晶を得ることを目的とする。

【0051】図3は第2の実施形態に係る半導体の製造方法を用いて得られる半導体よりなる積層体の断面構成を示している。図3に示すように、まず、例えば、MOVPE法を用いてサファイアよりなる基板21上に全面にAl_{1-x}Ga_xNよりなる下地層22を成長させ、その後、下地層22の上に開口部の幅が10μm程度のシリコン酸化(SiO₂)膜よりなるマスクパターン23を形成する。再度、MOVPE法を用いて、下地層22の上面におけるマスクパターン23の開口部に、Al_{1-x}Ga_xNよりなる第1の半導体層24とIn_{1-x}Ga_xNよりなる第2の半導体層25とを選択的に順次成長させる。これにより、第1の半導体層24及び第2の半導体層25よりなる積層体26が形成される。

【0052】本実施形態によると、第1の半導体層24が、下地層22の上面に形成されたマスクパターン23の開口部に選択的に成長することにより、下地層22の上に凸形状に成長する。従って、第1の実施形態と同様に、InGa_Nよりなる第2の半導体層25は、幅寸法が10μm程度の微小領域に基板21から孤立して成長するため、成長時の応力が一軸方向にのみ作用するので、基板21とInGa_Nとの熱膨張係数の差に起因する歪みを低減することができ、InGa_Nの結晶性が向上する。

【0053】また、基板21上にAlGa_Nよりなる下地層22を形成しているため、第2の半導体層25のInGa_Nの結晶性はより顕著に向上する。

【0054】なお、マスクパターン23は、シリコン窒化(Si₃N₄)膜であってもよい。

【0055】以下、InGa_N結晶のInの組成を高い結晶性を保持したまま大きくできる機構について図面を参照しながら説明する。第1の実施形態及びその変形例においても、その成長機構は同様であるが、ここでは、第2の実施形態に基づいて説明する。

【0056】図4はInGa_Nよりなる第2の半導体層25が選択成長する際のIn原子の拡散の様子を示す断面図である。図4において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図4に示すように、第2の半導体層25をエピタキシャル成長させる際には、例えば、基板21上に供給されるGa原子は成長する結晶の側面よりも基板面に平行な平坦面に蓄積されやすいため、側面上に蓄積されない過剰なGa原子は平坦面上に拡散し蓄積する。この現象はIn原子の場合も同様であり、第1の半導体層24の側面からIn原子が拡散してくることにより、平坦面上、すなわち、凸形状の第1の半導体層24の頂面上に蓄積するIn原子の量が増加し、Inの組成が大きいInGa_N結晶を成長できる。従って、このような成長条件下では、In原子が選択成長領域に集積されるため、Inの組成比xを0 ≤ x ≤ 1の範囲で可能な限り1に近づけることができる。

【0057】また、このInGa_Nよりなる第2の半導体層25を活性層に用いて発光素子を製造すると、該活性層の体積が成長時に微小化されるため、体積低減効果により動作電流を大幅に低減することができる。その結果、この低電流化により発光素子の発熱を抑制できるため、素子の信頼性を大幅に改善できる。

【0058】なお、前述の第3の論文を検討した結果、選択成長されたInGa_Nよりなる第2の半導体層25の結晶性については、ミスフィット転位等の欠陥が導入されることなく臨界膜厚以上に成長することが可能であると考えられる。

【0059】なお、第1及び第2の実施形態のように、Inの組成が大きい半導体層をInの拡散により形成する場合には、前述したように、凸部の基板面に垂直な方向の断面形状を方形状又は台形状とすることが好ましい。

【0060】また、第2の実施形態は、この結晶成長方法を用いて発光素子を製造する際に以下に述べる大きな特徴を有している。

【0061】まず、第4の論文「Applied Physics Letters, Vol. 68 (1996) pp. 976-978」には、サファイアよりなる基板自体にSiO₂等をマスクとして直接堆積させた

後、選択的にGaNよりなる半導体層を形成する方法が開示されている。このように、通常、サファイア等の絶縁性基板を用いて発光素子を製造する場合には、基板の素子形成面側にp側及びn側の両電極を形成する必要があるため、GaN層に対してドライエッチング等を行なって表面側から削りながら、基板に近い側のコンタクト層を露出させなければならず、エッチングの制御性に高い精度が要求される。

【0062】これに対して、第2の実施形態では、例えば、下地層22をコンタクト層とすると、マスクパターン23に対してウェットエッチングを行なって除去するだけで容易に且つ再現性良くコンタクト層を露出できる。

【0063】また、基板側のコンタクト層を露出させる際にドライエッチングを行なわないため製造コストを低減できると共に、コンタクト層に対するエッチングダメージを与えないので、コンタクト層の結晶性を悪化させることなく発光素子を製造でき、発光素子の歩留りを大きく向上させることができる。

【0064】（第3の実施形態）以下、本発明の第3の実施形態について図面を参照しながら説明する。本実施形態は、第2の実施形態に示した選択成長用のマスクパターンによりGaN系結晶を成長させる方法を用いてGaNよりなる半導体基板を形成する。

【0065】図5(a)～(c)及び図6(a),

(b)は第3の実施形態に係る半導体基板の製造方法の工程順の断面構成を示している。まず、図5(a)に示すように、例えば、MOVPE法を用いてサファイアよりなる基板31上に全面にGaNよりなる下地層32を成長させ、その後、下地層32の上に開口部の幅が10μm程度のSiO₂膜よりなるマスクパターン33を形成する。再度、MOVPE法を用いて、下地層32の上面におけるマスクパターン33の開口部にGaNよりなる半導体層34を選択的に成長させる。

【0066】図5(b)に示すように、さらに、半導体層34をマスクパターン33の開口部の周縁部にも広がるように成長させた後、図5(c)に示すように、基板31、下地層32及びマスクパターン33を機械的に研磨してGaNよりなる半導体基板34Aを得る。

【0067】また、半導体基板34Aの他の取り出し方法として、図6(a)に示すように、マスクパターン33をフッ酸系水溶液を用いて除去し、その後、図6

(b)に示すように、基板31の全体にマイクロバイブレーション(超音波振動)を与えて下地層32と半導体層34との接続部を分離することによって、半導体基板34Aを得ることもできる。

【0068】本実施形態によると、下地層32に欠陥が生じた場合に、この欠陥は基板31の上方に伸長する。従って、マスクパターン33の開口部周縁に成長する半導体層34はその下側にマスクパターン33が存在する

ので、該マスクパターン33が欠陥のストッパーとなり、欠陥が伸長してこない。このため、マスクパターン33上に成長するGaN結晶は結晶性は極めて優れている。

【0069】なお、下地層32は必須ではないが、前述したように、半導体層34の結晶性を高めるには、この下地層32を設けたほうが好ましい。

【0070】（第4の実施形態）以下、本発明の第4の実施形態について図面を参照しながら説明する。本実施形態は、低抵抗のp型GaN系半導体を確実に得られるようにすることを目的とする。

【0071】図7は第4の実施形態に係る半導体の製造方法を用いて得られる半導体の断面構成を示している。図7に示すように、まず、MOVPE法を用いてサファイアよりなる基板41上に全面にAl_yGa_{1-y}Nよりなる下地層42を成長させ、その後、下地層42の上に開口部の幅が10μm程度のSiO₂膜よりなるマスクパターン43を形成する。再度、MOVPE法を用いて、下地層42の上面におけるマスクパターン43の開口部に、Al_yGa_{1-y}Nよりなる半導体層44を選択的に成長させる。続いて、p型ドーパントであるビスシクロペンタジエニルマグネシウム(Cp₂Mg)ガスを基板41上に供給しながら、半導体層44の上にAl_yGa_{1-y}Nよりなるp型半導体層45を選択的に成長させる。

【0072】一般に、p型半導体層45を低抵抗化する際には、該p型半導体層45の成長時のCp₂Mgガスのガス供給量を増加させてp型半導体層45中のMgの濃度を高めるようにするが、Cp₂Mgガスを過剰に供給すると、p型半導体層45の結晶表面が荒れ、Mgが関与する欠陥が誘発されるため、逆に高抵抗化又はn型化してしまう。

【0073】しかしながら、本実施形態によると、図7に示すように、p型ドーパントのMg原子が半導体層44の側面に取り込まれにくく、その分、基板面に平行な平坦面に余分に取り込まれるという選択成長の機構の結果、Cp₂Mgガスを過剰に供給しなくても、Mgの濃度を容易に且つ確実に高めることができる。

【0074】従って、この選択成長により、低抵抗のp型半導体層45を容易に実現できるため、本実施形態に係る製造方法を用いて発光素子のp型コンタクト層を形成すると、低電圧動作が可能になり、発光素子の発熱を抑えられるので、該素子の信頼性を向上させることができる。

【0075】なお、図7に示すように、半導体層44の基板面に垂直な方向の断面形状を方形状又は台形状とすることが好ましい。このようにすると、Mg原子が半導体層44の頂面上に容易に拡散できるため、p型半導体層45のMgの濃度がより確実に高くなる。

【0076】また、凸形状の半導体層44をマスクパタ

ーン43の開口部に選択成長させることにより形成したが、第1の実施形態に示したように、基板41自体に凸部を設けてもよく、また、下地層42自体に凸部を設けてもよい。

【0077】(第5の実施形態)以下、本発明の第5の実施形態について図面を参照しながら説明する。

【0078】図8は第5の実施形態に係る半導体装置であって、GaN系半導体発光装置の断面構成を示している。図8に示すように、サファイアよりなる基板51の上には、低温で成長したGaNよりなる低温バッファ層52と、n型GaNよりなるn型コンタクト層53とが形成されている。n型コンタクト層53上には、エピタキシャル層が選択的に成長している。すなわち、基板51側から順次、n型GaNよりなるバッファ層54と、n型Al_{0.1}Ga_{0.9}Nよりなるn型クラッド層55と、GaNよりなる第1の光ガイド層56と、In_{0.2}Ga_{0.8}Nよりなる歪量子井戸活性層57と、GaNよりなる第2の光ガイド層58と、p型Al_{0.1}Ga_{0.9}Nよりなるp型クラッド層59と、p型GaNよりなるp型コンタクト層60とが形成されている。

【0079】p型コンタクト層60の上にはNi/Auよりなるp側電極61が形成され、n型コンタクト層53の上にはTi/Alよりなるn側電極62が形成されている。

【0080】以下、前記のように構成された半導体装置の製造方法の詳細について図面を参照しながら説明する。

【0081】図9(a)～(d)及び図10(a)～(c)は本実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。まず、サファイアよりなる基板51の表面を有機溶剤を用いて超音波洗浄を行なう。その後、洗浄した基板51をMOVPE装置(図示せず)の反応炉内のサセプタに保持し、反応炉を真空排気する。続いて、反応炉内を圧力が70 Torrの水素雰囲気とし、温度を約1100℃にまで昇温して基板51を加熱し表面のクリーニングを15分間程度行なう。

【0082】次に、図9(a)に示すように、反応炉を約500℃にまで降温した後、基板51上に、供給量が2 μmol/minのトリメチルガリウム(TMg)と、供給量が2.5 L/minのアンモニア(NH₃)ガスと、供給量が2 L/minのキャリア水素とを同時に供給することにより、厚さが約50 nmのGaNよりなる低温バッファ層52を成長させる。続いて、反応炉を約1000℃にまで昇温し、n型ドーパントとしてのシラン(SiH₄)ガスを基板51上にさらに供給して、低温バッファ層52の上面に厚さが約3 μmでSi不純物濃度が1×10¹⁸ cm⁻³のn型コンタクト層53を成長させる。

【0083】次に、図9(b)に示すように、反応炉から基板51を取り出し、n型コンタクト層53の表面を

クリーニングした後、例えば、CVD法を用いて、基板51の上に全面にわたって厚さが約0.1 μmのSiO₂よりなるマスク形成膜71を堆積させる。

【0084】次に、図9(c)に示すように、スピナを用いて基板51の上に全面にわたってレジスト膜を塗布し、フォトリソグラフィ法を用いて、該レジスト膜に互いの間隔が300 μmでそれぞれの開口幅が10 μm程度のストライプ状の複数の開口部を有するレジストパターン72を形成する。但し、ここでは図面の都合上、図示する開口部を1つとしている。また、開口幅は10 μmとしたが、5 μmから50 μm程度であればよい。

【0085】次に、図9(d)に示すように、レジストパターン72をマスクとしてマスク形成膜71に対してフッ酸系の水溶液を用いたウエットエッチングを行なってマスク形成膜71を除去することにより、ストライプ形状の開口部71aを有するSiO₂よりなる選択成長用のマスクパターン71Aを形成する。続いて、レジストパターン72を除去することにより、幅が10 μmのストライプ状にn型コンタクト層53が露出する。

【0086】次に、図10(a)に示すように、マスクパターン71Aが形成された基板51を再度反応炉に投入し、発光素子形成用の各エピタキシャル層を成長させる。第2の実施形態において説明したように、基板51上に半導体結晶を成長させると、マスクパターン71A上には半導体結晶が成長せず、マスクパターン71Aの開口部71a上に選択的に成長する。ここで、成長する半導体結晶における基板51に垂直で且つストライプ状の開口部71aに垂直な断面形状が台形となるように成長温度等のプロセス条件を設定する。

【0087】各エピタキシャル層の詳細は、まず、反応炉の温度を1000℃程度とし、n型コンタクト層53上におけるマスクパターン71Aの開口部71aに、厚さが約0.1 μmでSi不純物濃度が1×10¹⁸ cm⁻³のn型GaNよりなるバッファ層54を成長させる。続いて、基板51上にトリメチルアルミニウム(TMAl)も供給しながら、厚さが約0.3 μmでSi不純物濃度が1×10¹⁷ cm⁻³のn型Al_{0.1}Ga_{0.9}Nよりなるn型クラッド層55を成長させる。続いて、厚さが約60 nmのGaNよりなる第1の光ガイド層56を成長させた後、温度を約750℃にまで降温し、基板51上にトリメチルインジウム(TMI)と窒素ガスとをさらに供給しながら厚さが3 nmのIn_{0.2}Ga_{0.8}Nよりなる歪量子井戸活性層57を成長させる。その後、再び反応炉内の温度を約1000℃にまで昇温し、厚さが約60 nmのGaNよりなる第2の光ガイド層58を成長させる。続いて、p型ドーパントであるCp₂Mgガスを供給しながら、厚さが約0.3 μmでMg不純物濃度が1×10¹⁷ cm⁻³のp型Al_{0.1}Ga_{0.9}Nよりなるp型クラッド層59を成長させ、その後、厚さが約0.1 μmでMg不純物濃度が1×10¹⁸ cm⁻³のp

型 GaN よりなる p 型コンタクト層 60 を成長させる。

【0088】次に、図 10 (b) に示すように、各エピタキシャル層が成長した基板 51 を反応炉から取り出し、マスクパターン 71A に対してフッ酸系の水溶液を用いたウェットエッチングを行なって該マスクパターン 71A を除去する。

【0089】次に、図 10 (c) に示すように、p 型コンタクト層 60 の上面にストライプ状の Ni/Au よりなる p 側電極 61 を形成する。また、露出した n 型コンタクト層 53 の上面に Ti/Al よりなる n 側電極 62 を選択的に形成する。さらに、発光素子の共振器をドライエッチング及びへき開を行なって形成し、その後、へき開した共振器の両端面にそれぞれ反射率が 90% 及び 70% の高反射コートを施す。

【0090】なお、マスクパターン 71A に酸化シリコンを用いたが窒化シリコンを用いてもよい。

【0091】本実施形態に係る GaN 系の半導体発光装置は、以下の種々の特徴を有している。

【0092】第 1 に、 $In_xGa_{1-x}N$ よりなる歪量子井戸活性層 57 は、基板 51 から孤立しており 2 次元的な応力を受けないため、結晶性を劣化させることなく In の組成比 x を確実に 1 に近づけることができるので、紫外光から橙色光までの波長領域において高輝度の発光特性を得られる。

【0093】第 2 に、 $In_xGa_{1-x}N$ よりなる歪量子井戸活性層 57 は、選択成長によりその体積が微小化されるため、歪量子井戸活性層 57 の体積低減効果により動作電流を大幅に低減することができる。その結果、発光装置の発熱を抑制できるため、装置の信頼性を大きく向上できる。

【0094】第 3 に、p 型コンタクト層 60 は、選択成長するため、p 型ドーパントを過剰に供給することなく、容易に且つ確実に低抵抗化できるため、装置の低電圧動作を可能にし信頼性を顕著に改善できる。

【0095】第 4 に、選択成長用のマスクパターン 71A をウェットエッチングにより容易に且つ確実に露出させられるため、n 側電極 62 を容易に形成できる。通常は、サファイアのように絶縁性基板を用いると、第 2 の実施形態において説明したように、n 型コンタクト層 53 を露出させるには、p 型コンタクト層 60 の表面からドライエッチングを行なう必要があり、製造プロセスが複雑となる。これに対して、本実施形態においては、p 型コンタクト層 60 を露出させるプロセスが極めて容易となる。このため、製造コストが低減し、さらにエッチングの制御性に優れることから歩留りも向上する。

【0096】(第 6 の実施形態) 以下、本発明の第 6 の実施形態について図面を参照しながら説明する。

【0097】図 11 は第 6 の実施形態に係る半導体装置であって、GaN 系半導体発光装置の断面構成を示している。図 11 において、図 8 に示す構成部材と同一の構

成部材には同一の符号を付すことにより説明を省略する。図 11 に示すように、本実施形態の特徴として、歪量子井戸活性層 57 を n 型コンタクト層 53 の上面に選択的に成長した n 型 GaN よりなるストライプ状の凸部形成層 80 の上に形成している。

【0098】以下、前記のように構成された半導体装置の製造方法の詳細について図面を参照しながら説明する。

【0099】図 12 (a) ~ (d) 及び図 13 (a) ~ (c) は本実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。図 12 (a) に示すように、まず、サファイアよりなる基板 51 に対して所定の洗浄を行なった後、MOVPE 装置 (図示せず) の反応炉に基板 51 を投入する。基板 51 の表面の加熱クリーニングを行なった後、第 5 の実施形態に示したように、基板 51 の上に、低温バッファ層 52 及び n 型コンタクト層 53 を順次成長させる。その後、基板 51 を反応炉から取り出し、CVD 法等を用いて、n 型コンタクト層 53 の上に全面にわたって SiO_2 よりなるマスク形成膜 71 を堆積させる。

【0100】次に、図 12 (b) に示すように、ストライプ状でそれぞれの幅が $10\mu m$ の複数の開口部を有するレジストパターン 72 を形成し、その後、図 12 (c) に示すように、レジストパターン 72 をマスクとして、マスク形成膜 71 から選択成長用の開口部 71a を有するマスクパターン 71A を形成する。

【0101】次に、図 12 (d) に示すように、n 型コンタクト層 53 におけるマスクパターン 71A の開口部 71a に、厚さが約 $1\mu m$ で Si 不純物濃度が $1 \times 10^{18} cm^{-3}$ の n 型の凸部形成層 80 を選択的に成長させる。ここでも、成長する凸部形成層 80 における基板 51 に垂直で且つストライプ状の開口部 71a に垂直な断面形状が台形となるように成長温度等のプロセス条件を設定する。

【0102】次に、図 13 (a) に示すように、凸部形成層 80 が成長した基板 51 を反応炉から取り出し、マスクパターン 71A に対してフッ酸系の水溶液を用いたウェットエッチングを行なって該マスクパターン 71A を除去する。

【0103】次に、図 13 (b) に示すように、マスクパターン 71A を除去した基板 51 を再び反応炉に投入し、基板 51 の上に全面にわたって各エピタキシャル層を成長させることにより、凸部形成層 80 の頂面上に発光素子を形成する。各エピタキシャル層の成長条件を第 5 の実施形態と同様にして、n 型コンタクト層 53 の上に、 n^+ 型 GaN よりなるバッファ層 54, n 型 Al $_{0.1}Ga_{0.9}N$ よりなる n 型クラッド層 55, GaN よりなる第 1 の光ガイド層 56, $In_{0.2}Ga_{0.8}N$ よりなる歪量子井戸活性層 57, GaN よりなる第 2 の光ガイド層 58, p 型 Al $_{0.1}Ga_{0.9}N$ よりなる p 型クラ

ッド層 5 9 及び p 型 GaN よりなる p 型コンタクト層 6 0 を順次成長させる。

【0104】次に、図 1 3 (c) に示すように、各エピタキシャル層が成長した基板 5 1 を反応炉から取り出し、基板 5 1 の凸部形成層 8 0 側の領域をマスクして、各エピタキシャル層に対してドライエッチングを行なうことにより、n 型コンタクト層 5 3 を露出させる。その後、p 型コンタクト層 6 0 の上面にストライプ状の Ni / Au よりなる p 側電極 6 1 を形成すると共に、露出した n 型コンタクト層 5 3 の上面に Ti / Al よりなる n 側電極 6 2 を形成する。

【0105】なお、バッファ層 5 4 は、n 型コンタクト層 5 3 と同程度の n 型不純物濃度を有しているため、各エピタキシャル層に対してドライエッチングを行なう際に、n 型コンタクト層 5 3 とバッファ層 5 4 との界面近傍を露出させればよく、エッチングに高い制御性を要しない。

【0106】本実施形態に係る GaN 系の半導体発光装置は、第 5 の実施形態と同様に以下の種々の特徴を有している。

【0107】第 1 に、In, Ga, N よりなる歪量子井戸活性層 5 7 は、基板 5 1 から孤立しており 2 次元的な応力を受けないため、結晶性を劣化させることなく In の組成比 x を 1 に近づけることができるので、紫外光から橙色光までの波長領域において高輝度の発光特性を得られる。

【0108】第 2 に、In, Ga, N よりなる歪量子井戸活性層 5 7 は、選択成長によりその体積が微小化されるため、歪量子井戸活性層 5 7 の体積低減効果により動作電流を大幅に低減することができる。その結果、発光装置の発熱を抑制できるため、装置の信頼性を大きく向上できる。

【0109】第 3 に、p 型コンタクト層 6 0 は、選択成長するため、p 型ドーパントを過剰に供給することなく、容易に且つ確実に低抵抗化できるため、装置の低電圧動作を可能にし信頼性を顕著に改善できる。

【0110】なお、基板 5 1 にサファイアのような絶縁性基板を用いず、炭化シリコン (SiC) 等よりなる導電性基板を用いれば、基板 5 1 の裏面に n 側電極を形成できるため、n 型コンタクト層 5 3 を露出させるドライエッチングが不要となる。

【0111】また、第 5 及び第 6 の実施形態において、n 型コンタクト層 5 3 に GaN を用いたが Al, Ga, N を用いてもよい。

【0112】

【発明の効果】本発明の第 1 ～ 第 3 の半導体の製造方法によると、高品質の結晶を得られにくい InGaIn よりなる第 2 の半導体層を基板状に設けられた凸部の頂面よりなる微小領域上に島状に成長させるため、成長時に基板からの応力が低減されるので、結晶の歪みを大幅に低

減することができる。このため、歪みに伴う転位等の欠陥の発生を抑制できるので、InGaIn の結晶性が向上する。

【0113】第 3 の半導体の製造方法において、マスクパターンが酸化シリコン又は窒化シリコンよりなると、半導体発光装置を製造する際のコンタクト層上に該マスクパターンを形成すると、該マスクパターンの形成が容易となる上に、該マスクパターンをウェットエッチングにより容易に且つ確実に除去できる。

【0114】第 1 ～ 第 3 の半導体の製造方法において、積層体の基板面に垂直な方向の断面形状が方形又は台形状であると、結晶成長時において、凸部の頂面の微小領域上に In 原子が拡散しやすくなるため、結晶性を劣化させることなく第 2 の半導体層の In の組成を高めることができる。これにより、該第 2 の半導体層を活性層に用いれば、可視光のうち長波長領域側の、例えば橙色光を発する発光素子を実現できる。

【0115】本発明の第 4 ～ 第 6 の半導体の製造方法によると、低抵抗の p 型導電体を得られにくい III 族窒化物よりなる p 型半導体層を基板状に設けられた凸部の頂面よりなる微小領域上に島状に成長させるため、p 型ドーパントを過剰に供給しなくても、p 型ドーパントの濃度が大きくなるので、p 型半導体層を低抵抗化できる。

【0116】第 4 ～ 第 6 の半導体の製造方法において、p 型半導体層の基板面に垂直な方向の断面形状が方形又は台形状であると、結晶成長時において、凸部の頂面の微小領域上に p 型ドーパントが拡散しやすくなるため、p 型ドーパントの濃度をさらに大きくできる。

【0117】第 1 ～ 第 3 の半導体装置の製造方法によると、発光領域の活性層に用いる InGaIn 結晶を基板から孤立した微小領域に形成するため、活性層の体積低減効果により動作電流を大幅に低減できるので、装置の発熱を抑制でき、その結果、装置の信頼性を大幅に向上できる。

【0118】第 1 ～ 第 3 の半導体装置の製造方法は、第 2 導電型が p 型であり、第 2 導電型クラッド層の上に、p 型ドーパントを供給しながら III 族窒化物を成長させることにより、III 族窒化物よりなる p 型コンタクト層を選択的に形成する工程をさらに備えていると、p 型コンタクト層を確実に低抵抗化できるため、低電圧動作が可能になり、装置の発熱を抑えられるので、装置の信頼性を向上できる。

【0119】第 3 の半導体装置の製造方法が、マスクパターンをウェットエッチングにより除去することにより、第 1 導電型コンタクト層を露出させる工程をさらに備えていると、導電性を持たない基板であっても、マスクパターンにシリコン酸化膜等の GaN 系半導体が成長しない材料を用いれば、第 1 導電型コンタクトの電極を容易に形成できるため、電極形成プロセスが簡単になるので、製造コストが低減し、また、歩留まりが向上す

る。

【0 1 2 0】本発明の第 1 の半導体基板の製造方法によると、マスクパターンの開口部の周縁部上に成長する半導体層は、基板側から該基板面に垂直に延びる転位等の影響を受けにくく、極めて結晶の品質が高くなるため、マスクパターン及び第 1 の基板を除去することにより、極めて高品質な G a N 系の半導体基板を実現できる。

【0 1 2 1】本発明の第 2 の半導体基板の製造方法によると、第 1 の半導体基板の製造方法と同様の効果を得られる上に、基板と選択成長用のマスクパターンとの間に第 1 の半導体層を設けているため、G a N 系の半導体層よりなる第 2 の基板の品質が一層向上する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体の製造方法を用いて得られる半導体を示す構成断面図である。

【図 2】本発明の第 1 の実施形態の一変形例に係る半導体の製造方法を用いて得られる半導体を示す構成断面図である。

【図 3】本発明の第 2 の実施形態に係る半導体の製造方法を用いて得られる半導体を示す構成断面図である。

【図 4】本発明の第 2 の実施形態に係る半導体の製造方法における I n G a N よりなる半導体層成長時の I n 原子の拡散の様子を示す模式断面図である。

【図 5】(a) ～ (c) は本発明の第 3 の実施形態に係る半導体基板の製造方法を示す工程順の構成断面図である。

【図 6】(a) 及び (b) は本発明の第 3 の実施形態に係る半導体基板の製造方法を示す工程順の構成断面図である。

【図 7】本発明の第 4 の実施形態に係る半導体の製造方法を用いて得られる半導体を示す構成断面図である。

【図 8】本発明の第 5 の実施形態に係る半導体装置の断面構成を示す斜視図である。

【図 9】(a) ～ (d) は本発明の第 5 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 1 0】(a) ～ (c) は本発明の第 5 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 1 1】本発明の第 6 の実施形態に係る半導体装置の断面構成を示す斜視図である。

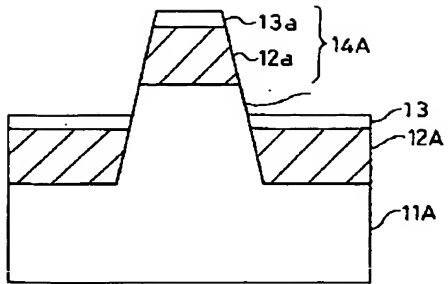
【図 1 2】(a) ～ (d) は本発明の第 6 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 1 3】(a) ～ (c) は本発明の第 6 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

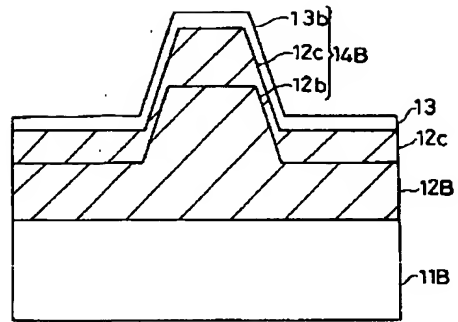
【符号の説明】

| | |
|-------|-------------------|
| 1 1 A | 基板 |
| 1 1 a | 凸部 |
| 1 2 A | 第 1 の半導体層 |
| 1 2 a | 孤立した第 1 の半導体層 |
| 1 3 | 第 2 の半導体層 |
| 1 3 a | 積層体 |
| 1 1 B | 基板 |
| 1 2 B | 凸部形成層 |
| 1 2 b | 凸部 |
| 1 2 C | 第 1 の半導体層 |
| 1 2 c | 孤立した第 1 の半導体層 |
| 1 3 | 第 2 の半導体層 |
| 1 3 b | 孤立した第 2 の半導体層 |
| 1 4 B | 積層体 |
| 2 1 | 基板 |
| 2 2 | 下地層 |
| 2 3 | マスクパターン |
| 2 4 | 第 1 の半導体層 |
| 2 5 | 第 2 の半導体層 |
| 2 6 | 積層体 |
| 3 1 | 基板 |
| 3 2 | 下地層 |
| 3 3 | マスクパターン |
| 3 4 | 半導体層 |
| 3 4 A | 半導体基板 |
| 4 1 | 基板 |
| 4 2 | 下地層 |
| 4 3 | マスクパターン |
| 4 4 | 半導体層 |
| 4 5 | p 型半導体層 |
| 5 1 | 基板 |
| 5 2 | 低温バッファ層 |
| 5 3 | n 型コンタクト層 |
| 5 4 | バッファ層 |
| 5 5 | n 型クラッド層 |
| 5 6 | 第 1 の光ガイド層 |
| 5 7 | 歪量子井戸活性層 |
| 5 8 | 第 2 の光ガイド層 |
| 5 9 | p 型クラッド層 |
| 6 0 | p 型コンタクト層 |
| 6 1 | p 側電極 |
| 6 2 | n 側電極 |
| 7 1 | マスク形成膜 |
| 7 1 A | マスクパターン (選択成長用) |
| 7 1 a | 開口部 |
| 7 2 | レジストパターン |
| 8 0 | 凸部形成層 |

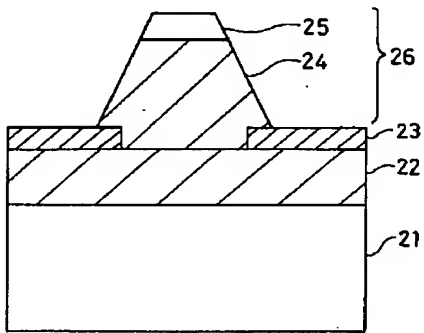
【図 1】



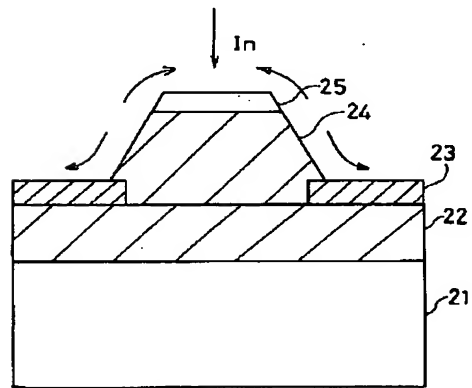
【図 2】



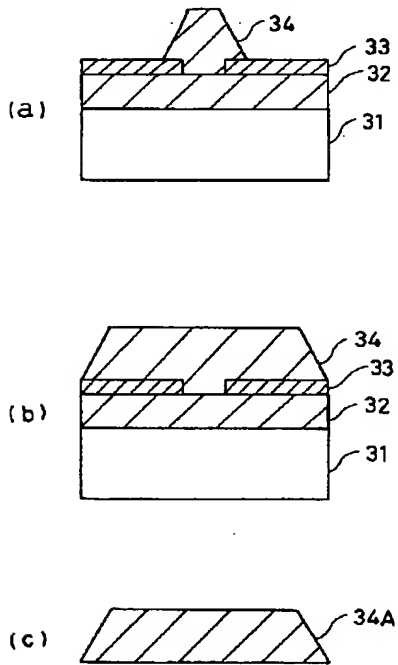
【図 3】



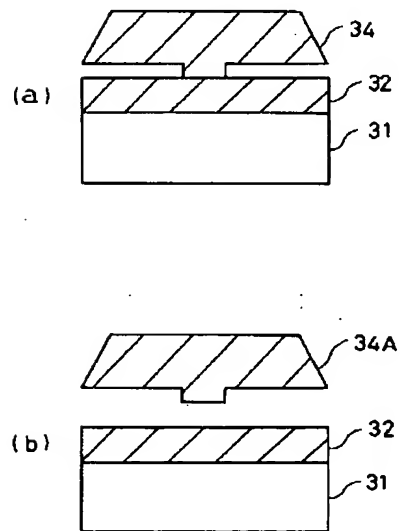
【図 4】



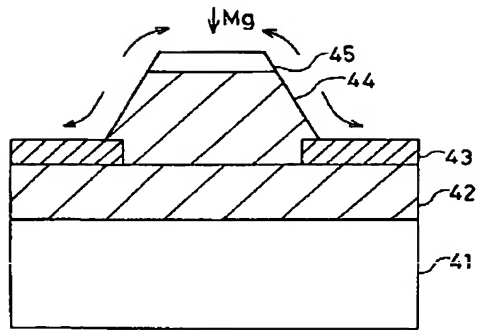
【図 5】



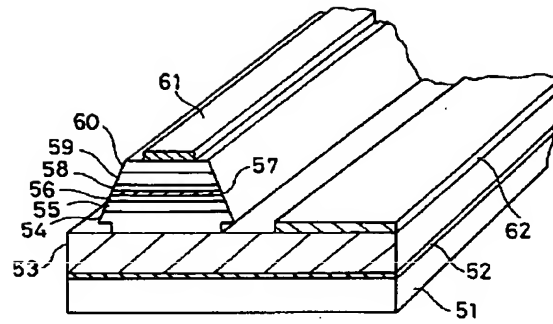
【図 6】



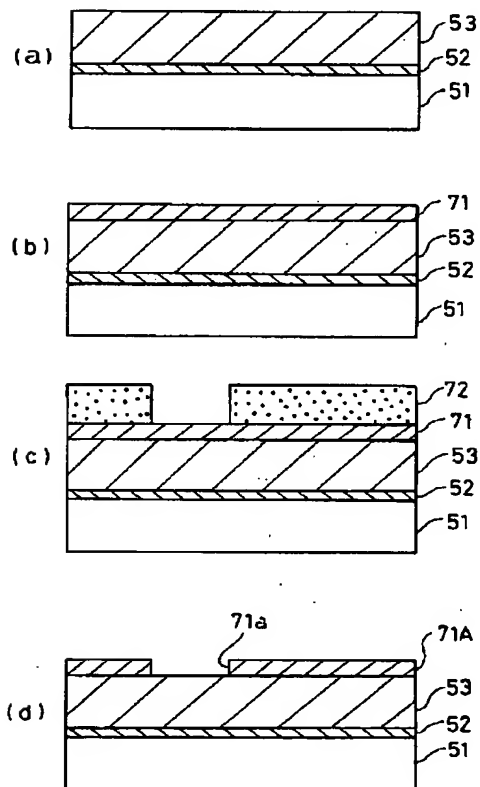
【図 7】



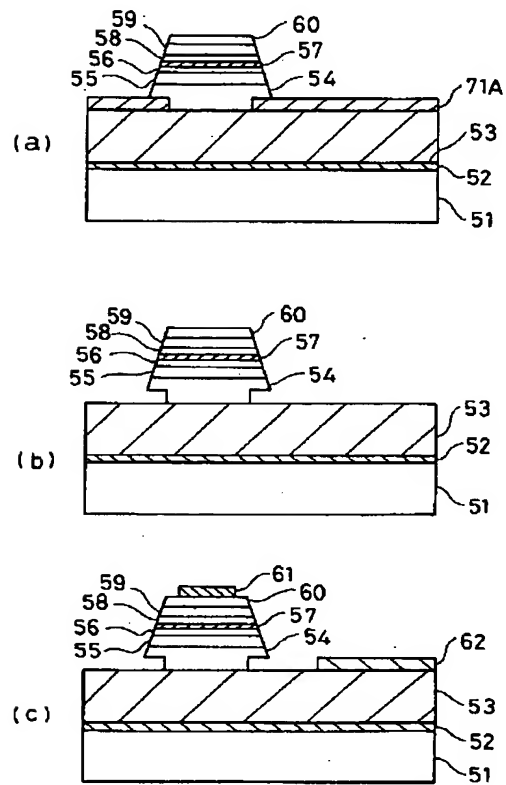
【図 8】



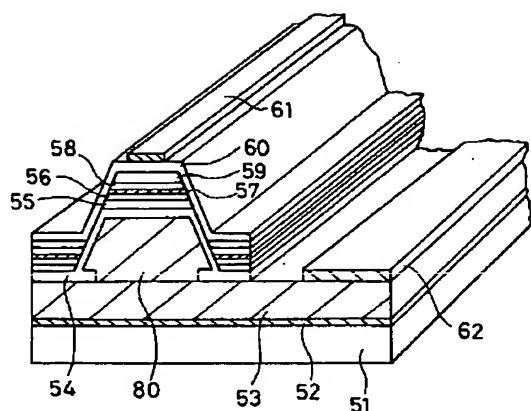
【図 9】



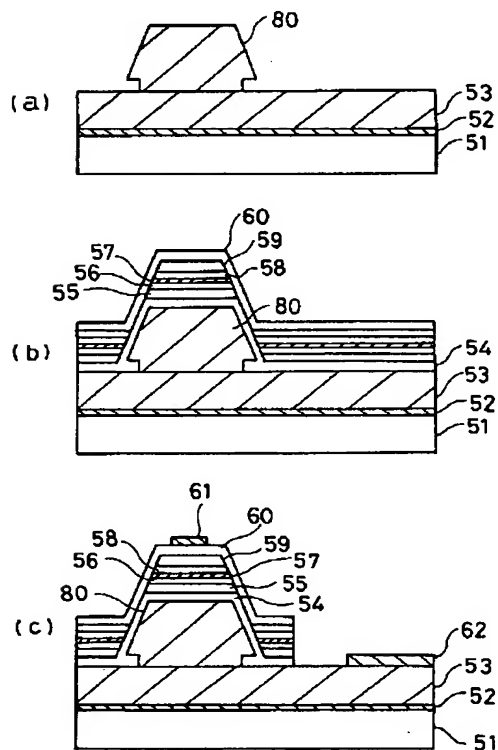
【図 10】



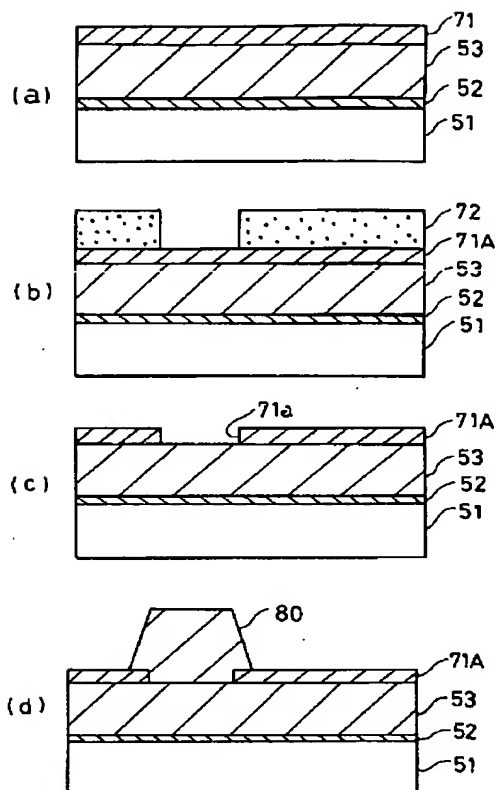
【図 1 1】



【図 1 3】



【図 1 2】



フロントページの続き

(72)発明者 伴 雄三郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 桑 雅博
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 原 義博
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 木戸口 勲
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 辻村 歩
大阪府門真市大字門真1006番地 松下電器
産業株式会社内